



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11143427 A**(43) Date of publication of application: **28.05.99**

(51) Int. Cl

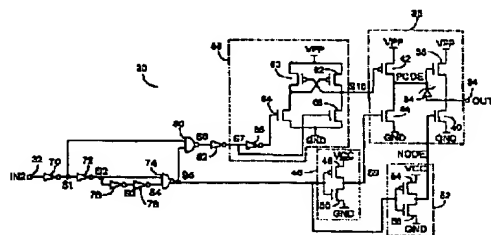
G09G 3/28(21) Application number: **10177940**(22) Date of filing: **22.05.98**(30) Priority: **22.05.97 FR 97 9706498**(71) Applicant: **SGS THOMSON
MICROELECTRON SA**(72) Inventor: **TROUSSEL GILLES
LARDEAU CELINE**(54) **POWER OUTPUT CIRCUIT FOR CONTROLLING
PLASMA SCREEN CELL**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a power output circuit for controlling a plasma screen cell capable of avoiding the simultaneous conduction of charging and discharging transistors through the state change of input signals by reducing the surface required for the charging transistor.

SOLUTION: In a power output circuit 36 including an input receiving a low-voltage logic input signal, an output outputting a high-voltage output control signal, an output circuit including a charging transistor 38 and discharging transistors 40, 44, and a control means outputting a control signal, the charging and discharging transistors are of the N-channel VDMOS type, and the charging transistor 38 is placed so as to form a compound P-type transistor. The control means is placed so that when the logic input signal controls the discharge of the output, the potential of the control gate of the charging transistor 38 drops more sharply than does the output electric potential.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-143427

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.⁶

G 0 9 G 3/28

識別記号

F I

G 0 9 G 3/28

J

審査請求 有 請求項の数 4 F D 外国語出願 (全 29 頁)

(21) 出願番号 特願平10-177940
 (22) 出願日 平成10年(1998) 5月22日
 (31) 優先権主張番号 9 7 0 6 4 9 8
 (32) 優先日 1997年 5月22日
 (33) 優先権主張国 フランス (F R)

(71) 出願人 591035139
 エスジェエーストムソン ミクロエレクト
 ロニクス ソシエテ アノニム
 SGS-THOMSON MICROEL
 ELECTRONICS SOCIETE A
 NONYME
 フランス国, 94250 ジェンティリイセ
 デ, アベニュー ガリエニ, 7番地
 (72) 発明者 ジル トルセル
 フランス国, 38400 サン マルタン
 デール, リュ ドウ ロアザン, 1番地
 (74) 代理人 弁理士 山本 恵一

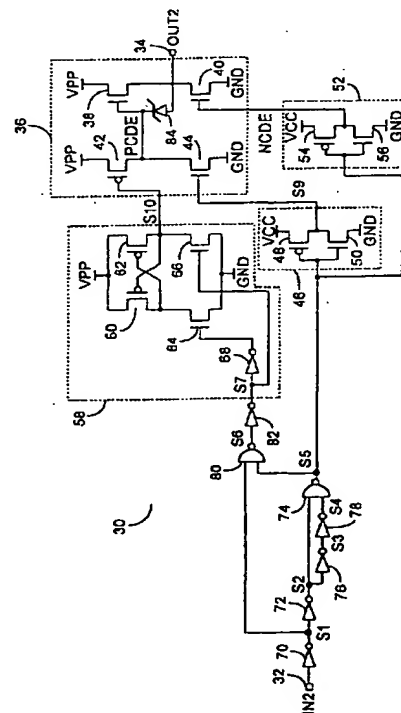
最終頁に続く

(54) 【発明の名称】 プラズマスクリーンセルの制御のための電力出力回路

(57) 【要約】

【課題】 充電トランジスタに対して必要とされる表面を減らし、入力信号の状態切換で充電及び放電トランジスタの同時伝導を避けることを可能にするプラズマスクリーンセルの制御のための電力出力回路を提供する。

【解決手段】 低電圧論理入力信号を受信する入力と、高電圧出力制御信号を出力する出力と、充電トランジスタ及び放電トランジスタを含む出力回路と、制御信号を出力する制御手段とを含む電力出力回路において、充電及び放電トランジスタがNチャネルVDMOS型であり、充電トランジスタがコンパウンドP型トランジスタを形成するように配置され、制御手段は、論理入力信号が出力の放電を制御する際に、充電トランジスタの制御ゲートの電位が出力電位よりも急激にドロップするように配置されるものである。



【特許請求の範囲】

【請求項 1】 低電圧論理入力信号（IN2）を受信する入力（32）と、高電圧出力制御信号（OUT2）を出力する出力（34）と、一方で、ドレインで高電圧電位（VPP）を受信し且つ前記制御出力（34）に接続されたソースを有する充電トランジスタ（38）、及び、他方で、ソースでリファレンス電位（GND）を受信し且つ出力（34）に接続されたドレインを有する放電トランジスタ（40）を含む出力回路（36）と、前記論理入力信号に従ってこれらトランジスタを制御する充電及び放電トランジスタに制御信号（PCDE、NCDE）を出力する制御手段（42、44、46、52、58）とを含むプラズマスクリーンセルの制御のための電力出力回路（30）において、

前記充電及び放電トランジスタ（38、40）がNチャネルVDMOS型であり、前記充電トランジスタ（38）がコンパウンドP型トランジスタを形成するように配置されており、

前記制御手段は、前記論理入力信号が前記出力の放電を制御する際に、前記充電トランジスタの前記制御ゲートの電位が出力電位よりも急激にドロップするように配置されることを特徴とする回路。

【請求項 2】 前記出力回路（36）は、一方で、電位移動回路（58）によって制御されるPチャネルパワートランジスタ（42）と、他方で、Nチャネルパワートランジスタ（44）とを含んでおり、該Pチャネルトランジスタはソースで高電圧電位（VPP）を受信し且つ前記充電トランジスタ（38）の制御ゲートに接続されたドレインを有しており、該Nチャネルパワートランジスタは前記リファレンス電位（GND）を受信するソースを有しており、該Pチャネル及び該Nチャネルトランジスタは、前記充電トランジスタ（38）をターンオンすることが所望される際に該Pチャネルトランジスタ（42）がオンになり、前記充電トランジスタ（38）をターンオフすることが所望される際に該Nチャネルトランジスタがオンになるように制御されており、

前記制御手段は、前記Nチャネルトランジスタ及び前記放電トランジスタ（40）を制御するために低電圧インバータ（46、52）を含んでおり、前記インバータは、一方で、前記出力の放電を命令することが所望される際に、前記Nチャネルトランジスタ（44）がターンオンされた後で、前記放電トランジスタ（40）がターンオンされており、他方で、前記充電トランジスタ（38）を介して出力の充電を命令することが所望される際に、前記放電トランジスタ（40）がオフとなった後で前記Nチャネルトランジスタ（44）がオフになるような大きさにあることを特徴とする請求項 1 に記載の回路。

【請求項 3】 前記制御手段は、前記出力回路の前記Pチャネル及び前記Nチャネルトランジスタ（42、4

4）の一方がターンオンされた際に、これらトランジスタの他方が、これらトランジスタのどのような同時伝導をも避けるように予めターンオフされるような大きさにされていることを特徴とする請求項 2 に記載の回路。

【請求項 4】 所与の持続時間よりも短い持続時間の寄生パルスが前記論理入力信号で生ずる、前記回路の前記パワートランジスタの制御信号（PCDE、NCDE）の変更を避けるために前記論理入力信号（IN2）を遅延させる論理遅延回路（72、74、76、78、80）を含むことを特徴とする請求項 1 から 3 のいずれか 1 項に記載の回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、プラズマスクリーンセルの制御のための電力出力回路に関する。

【0002】

【従来の技術】 プラズマスクリーンは、行及び列の交点に配置されたセルから形成された、アレイ型スクリーンである。セルは、希ガスで充填された空洞と、2つの制御電極と、赤、緑又は青の蛍光デポジションとを含む。所与のセルを用いることによってスクリーン上に光スポットを作るために、そのガスのイオン化のきっかけとなるように、電位差がセルの制御電極間に印加される。このイオン化は、紫外線の放出を伴う。光スポットの生成は、デポジットされた蛍光体の励起によって、放出された光線により得られる。

【0003】 画像を生成するために、セル制御は、従来、制御信号を発生する論理回路によって行われている。これら信号の論理状態は、光スポットを発生するように制御されるセルと、それを発生しないように制御されるセルとを決定する。これら論理回路は、通常、例えば 5 ボルト以下の供給電圧である低電圧で供給される。この電圧は、セル電極を直接駆動するには十分でない。従って、論理回路と制御すべきセルとの間で、電力出力回路は、低電圧制御信号を高電圧制御信号に変換するために用いられる。

【0004】 空洞内のガスのイオン化は、100 ボルトの大きさのオーダで、制御電極において高電位のアプリケーションを必要とする。他方で、数十ミリアンペアのオーダで、かなりの電流で（相關的にこれら電極から受信するために）電極を提供することができることが必要である。実際に、電極は、100 ピコファラッドのオーダで、比較的高い等価キャパシタンスによって（相關的に数十ミリアンペアの電流源によって）概略的に表されることができ。従って、これら電極の制御は、キャパシタの充電又は放電制御に等価である。現在では、通常、プラズマスクリーンにおいて、急なエッジ（steep edges）を有する信号を得ることが所望される。これは、例えば 100 ナノ秒のオーダで充電及び放電持続時間を表している。到達すべき高電位で且つ高値の容量性負荷

であるならば、これは、非常に高い充電及び放電電流を供給し且つ吸収する能力を必要とし、100ミリアンペアに達することができる。

【0005】前述したように、プラズマスクリーン電極の制御は、低電圧論理信号を受信し、且つこれら信号を高電圧制御信号に変換する電力出力回路によって行われる。

【0006】図1は、電極を制御することを可能にする出力回路1の実施形態の従来の例を説明する。回路1は、制御入力2及び出力4を含む。制御入力2は、論理入力信号IN1を受信する。この信号が、高状態及び低状態の2状態を取ることができる低電圧信号であると考えられる。高状態は、例えばVCC=5Vの正電位VCCによって表される。低状態は、グランド電位GND=0Vによって表されている。出力4は、出力制御信号OUT1を供給する。この出力信号は、出力4及びグランドの間に取り付けられた等価キャパシタCoutによって表された電極に出力される。電極制御は、キャパシタCoutを充電し、高電圧電位VPPにそれをもたらし、又は充電されるならばそれを放電することからなる。信号IN1が高状態であるときに充電が命令され、信号IN1が低状態であるときに放電が命令されると考える。

【0007】回路1は、パワートランジスタ8及び10の対6を含む。これらトランジスタは、通常、相補的VDMOS型Nチャネルと、厚い酸化HVMOS型Pチャネルパワートランジスタとである。VDMOSは、縦型NチャネルMOS型トランジスタで参照され、高ソースドレイン電位差に耐え、かなりの電流を出力又は吸収することができる。厚い酸化HVMOSは、高ソースドレイン及びソースゲート電位差に耐えることができるMOS型Pチャネルトランジスタを参照する。PチャネルHVMOS型のトランジスタ8は、そのソースにおいて電位VPPを受信する。そのドレインは、出力4に接続されており、その制御ゲートは、制御信号INPを受信する。このトランジスタは、オンのとき、キャパシタCoutを充電することを可能にする。次に、トランジスタ10はオフになる。NチャネルVDMOS型のトランジスタ10は、そのソースにおいて電位GNDを受信する。そのドレインは出力4に接続されており、その制御ゲートは制御信号INNを受信する。このトランジスタは、オンのとき、キャパシタCoutを放電することが可能となる。次に、トランジスタ8はオフになる。放電トランジスタ10の制御は、低電圧で実現可能となる。INN=VCCのとき、該トランジスタ10はオンになり、INN=GNDのとき、オフになる。従って、回路1において、信号INNは、信号IN1を受信するインバータ12によって出力される。低電圧インバータは、電位VCC及びGNDによって供給されて用いられることになる。このインバータは、充電及び放電がIN1=VCC及びIN1=GNDによってそれぞれ制御さ

れるように、信号IN1の極性を反転することが可能となる。充電トランジスタ8の制御は、高電圧制御を必要とする。実際に、INP=GNDのとき、トランジスタ8はオンとなるが、ターンオフするために、信号INPは、少なくともVPPに等しい電位に達することができなければならない。このために、トランジスタ8の制御は、電位移動回路14によって行われ、回路14は入力信号IN1によって駆動される。

【0008】回路14は、2つのMOS型Pチャネルパワートランジスタ16及び18と、2つのNチャネルMOS型パワートランジスタ20及び22とを含む。例えばNチャネルVDMOSトランジスタ及び厚い酸化PチャネルHVMOSトランジスタのような、高電圧に耐えることができるトランジスタが用いられるであろう。トランジスタ16及び18は、それらのソースで電位VPPを受信する。トランジスタ20及び22は、それらのソースで電位GNDを受信する。トランジスタ16のドレインは、トランジスタ18の制御ゲートと、トランジスタ20のドレインに接続される。トランジスタ18のドレインは、トランジスタ16の制御ゲートと、トランジスタ22のドレインとに接続されている。トランジスタ18及び22のドレインは、制御信号INPを出力する。トランジスタ20は、その制御ゲートで信号INNを受信する。結局、トランジスタ22は、その制御ゲートで制御信号NINを受信する。この信号NINは、低電圧で出力され、入力として信号INNを受信するインバータ24によって出力される。INN=GNDのとき、トランジスタ20はオフになり、トランジスタ22はオンになる。それゆえ、トランジスタ16はオンになり、トランジスタ18はオフになる。そのとき、INP=GNDになる。充電トランジスタ8はオンになり、放電トランジスタ10はオフになる。従って、INN=VCCのとき、トランジスタ20はオンになり、トランジスタ22はオフになる。それゆえ、トランジスタ16はオフになり、トランジスタ18はオンになる。従って、INP=VPPとなる。充電トランジスタ8はオフを維持し、放電トランジスタ10はオンになる。

【0009】

【発明が解決しようとする課題】図1の回路によって起こる第1の問題は、充電トランジスタ8をインプリメントするために必要とされる表面にある。実際に、一方でPチャネル及びNチャネルトランジスタの導電率の差と、他方で高値の充電及び放電電流を与えるならば、等価電流効率を伴って、トランジスタ10によって占有されると同様に、トランジスタ8は、2又は3回のオーダ(order of two or three times)で表面を占有する。

【0010】入力信号IN1が状態を変更するとき、図1の回路によって起こる第2の問題は、出力トランジスタ8及び10の同時伝導(simultaneous conduction)のリスクである。このような同時伝導は、これらランジ

スタに関するならば、電圧及び電流値がトランジスタ 8 及び 10 の制御信号が変更されるときに、高い浪費を生じる。

【0011】

【課題を解決するための手段】本発明の原理に従って、出力回路構造は、充電トランジスタに対して必要とされる表面を減らし、入力信号の状態切換において充電及び放電トランジスタの同時伝導を避けることを可能にすることを提供する。このために、本発明の一実施形態は、コンパウンドP型トランジスタを形成するために配置されたNチャネル充電トランジスタを有するPチャネル充電トランジスタに置き換えており、どのような同時伝導をも避けるような大きさにされたインバータを用いてNチャネル充電及び放電トランジスタを制御することを提供する。

【0012】従って、本発明の実施形態は、低電圧論理入力信号を受信する入力と、高電圧出力制御信号を出力する出力と、一方で、ドレインで高電圧電位を受信し且つ制御出力に接続されたソースを有する充電トランジスタ、及び、他方で、ソースでリファレンス電位を受信し且つ出力に接続されたドレインを有する放電トランジスタを含む出力回路と、論理入力信号に従ってこれらトランジスタを制御する充電及び放電トランジスタに制御信号を出力する制御手段とを含むプラズマスクリーンセルの制御のための電力出力回路を提供する。充電及び放電トランジスタはNチャネルVDMOS型であり、充電トランジスタがコンパウンドP型トランジスタを形成するように配置されており、制御手段は、論理入力信号が出力の放電を制御する際に、充電トランジスタの前記制御ゲートの電位が出力電位よりも急激にドロップするように配置されている。

【0013】本発明の他の実施形態によれば、出力回路は、一方で、電位移動回路によって制御されたPチャネルパワートランジスタと、他方で、Nチャネルパワートランジスタとを含んでおり、該Pチャネルトランジスタはソースで高電圧電位（VPP）を受信し且つ充電トランジスタの制御ゲートに接続されたドレインを有しており、該Nチャネルパワートランジスタは前記リファレンス電位を受信するソースを有しており、該Pチャネル及び該Nチャネルトランジスタは、充電トランジスタをターンオンすることが所望される際に該Pチャネルトランジスタがオンになり、充電トランジスタをターンオフすることが所望される際に該Nチャネルトランジスタがオンになるように制御されており、制御手段は、Nチャネルトランジスタ及び放電トランジスタを制御するために低電圧インバータを含んでおり、インバータは、一方で、出力の放電を命令することが所望される際に、Nチャネルトランジスタがターンオンされた後で、放電トランジスタがターンオンされており、他方で、充電トランジスタを介して出力の充電を命令することが所望される

際に、放電トランジスタがオフとなった後でNチャネルトランジスタがオフになるような大きさにある。

【0014】本発明の他の実施形態によれば、制御手段は、出力回路のPチャネル及びNチャネルトランジスタの一方がターンオンされた際に、これらトランジスタの他方が、これらトランジスタのどのような同時伝導をも避けるように予めターンオフされるような大きさにされている。

【0015】本発明の他の実施形態によれば、所与の持続時間よりも短い持続時間の寄生パルスが前記論理入力信号に生ずるならば、回路の前記パワートランジスタの制御信号の変更を避けるために論理入力信号を遅延させる論理遅延回路を含む。

【0016】

【発明の実施の形態】本発明の前述の内容、他の特徴及び効果は、添付図面に従って本発明の一実施形態の以下の限定されない記載の中で詳細に説明していく。

【0017】図2は、本発明の一実施形態に従ってインブリメントされた電力出力回路30を説明する。

【0018】出力回路30は、論理入力信号IN2を受信する制御入力32と、高電圧出力信号OUT2を出力する出力34とを含む。論理信号IN2は低電圧信号となり、その電位は所与の論理状態を表すものであり、VCCが低電圧供給電位であるIN2=VCCは高論理状態を表しており、GNDがリファレンス電位（接地電位とも称される）であるIN2=GNDは低論理状態を表している。例えばVCC=5V及びGND=0Vである。信号IN2は、通常、図示されていない論理回路によって出力されており、形成すべきイメージによってその論理状態を決定することになる。

【0019】出力回路30は、高電圧供給電位VPP又は接地電位GNDに回路30の出力34を接続することを可能とする出力回路36を含む。例えば150ボルトの高電圧供給電位VPPが選択されることになる。図示されていないプラズマスクリーンセルを制御するために、この電極は、回路30の出力34に接続される。この電極は、図1に説明されたように、充電され又は放電され得るキャパシタとして動作することになる。

【0020】出力回路36は、制御出力34の電位を電位VPP及び電位GNDにそれぞれもたらすことを可能にする2つのパワートランジスタ38及び40を含む。充電トランジスタと称されるトランジスタ38のドレインは、電位VPPを受信する。放電トランジスタと称されるトランジスタ40のソースは、電位GNDを受信する。トランジスタ40のドレインとトランジスタ38のソースとが、相互接続され、出力34を形成する。充電トランジスタ38は、信号OUT2の電位を実質的に電位VPPのレベルにもたらすために、出力34へ充電電流を出力することを可能にする。放電トランジスタ40は、信号OUT2の電位を実質的に電位GNDのレベル

にもたすために、ソース34によって供給された放電電流を吸収することを可能にする。出力34の100ピコファラッドの容量性負荷と、100から200ナノ秒のオーダの充電及び放電時間とを考慮するならば、充電及び放電電流は80ミリアンペアのオーダになる。

【0021】トランジスタ38及び40は、NチャネルVDMOS型トランジスタであり、かなりの電流を提供し且つ吸収し、かなりのソースドレイン電圧に耐えるようになる。例えば、 9×10 及び 5×18 の、それぞれの多数の要素セルを有するトランジスタが選択される。更に、出力回路36は、充電トランジスタ38に係合した2つのMOS型パワートランジスタ42及び44を含む。Pチャネルのトランジスタ42及びNチャネルのトランジスタ44は、トランジスタ38と共に、コンパウンドP型トランジスタを形成するために可能となる。

【0022】PチャネルMOS型トランジスタ42は、そのソースにおいて電位VPPを受信する。そのドレインは、充電トランジスタ38の制御ゲートに接続される。そして、その制御ゲートにおいてS10で示された制御信号を受信する。NチャネルMOS型トランジスタ44は、そのソースで電位GNDを受信する。そのドレインは、トランジスタ42のドレイン及び充電トランジスタ38の制御ゲートに接続される。その制御ゲートは、S9で示された制御信号を受信する。充電トランジスタ38の制御ゲートによって受信され、トランジスタ42及び44によって出力された信号は、PCDEで示されている。MOS型トランジスタ42は、 $294/18$ のW/L比(W/Lはトランジスタチャネル幅/チャネル長の比である)を有し、VDMOS型トランジスタ44は 6×2 の要素セル数を有するのが好ましい。

【0023】パワートランジスタ42は、充電トランジスタ38をターンオンすることが可能である。このために、トランジスタ42がオンになるように信号S10を供給するに十分である。例えばS10=GNDが選択されることになる。従って、信号S9の電位は、トランジスタ44がオフになるような値を有する。例えばS9=GNDが選択されることになる。トランジスタ42がオンであるとき、信号PCDEの電位は、充電トランジスタ38の等価ゲートキャパシタの充電によって増加される。一度PCDEが充電トランジスタ38のスレッシュホールド電圧Vtに達したならば、充電トランジスタ38はターンオンし、そのソースの電位は実質的にVPP-Vtに達する。

【0024】充電トランジスタ38をターンオフするために、トランジスタ44が用いられている。このため、例えばS9=VCC及びS10=VPPを負わせるに十分である。トランジスタ44がターンオンし、トランジスタ38の等価ゲートキャパシタがグラウンドに放電される。この放電中に、もちろんトランジスタ42がオフに

されなければならない。従って、Nチャネルトランジスタ38は、低電位(S10=GND)がそれをターンオンし且つ高電位(S9=VCC)がそれをターンオフするように制御され、Pチャネルトランジスタの動作に対応する。逆に、図1のトランジスタ8よりも2、3回小さい(two or three times smaller)充電トランジスタが、等価充電電流に対して用いられ得る。

【0025】制御信号S9は、2つの相補的なMOS型トランジスタ48及び50から形成される低電圧インバータ46によって発生される。Pチャネルトランジスタ48は、そのソースで電位VCCを受信する。Nチャネルトランジスタ50は、そのソースで電位GNDを受信する。これらトランジスタのドレインは、相互接続され、信号S9を提供する。これらトランジスタの制御ゲートは、論理制御信号S5を受信する。例えば、 $100/5$ のW/L比を有するトランジスタ48と、 $50/3$ のW/L比を有するトランジスタ50とが選択されることになる。

【0026】制御信号NCDEは、2つの相補的なMOS型トランジスタ54及び56から形成される低電圧インバータ52によって発生される。Pチャネルトランジスタ54は、そのソースで電位VCCを受信する。Nチャネルトランジスタ56は、そのソースで電位GNDを受信する。これらトランジスタのドレインは、相互接続され、信号NCDEを提供する。これらトランジスタの制御ゲートは、相互接続され、論理制御信号S5を受信する。例えば、 $250/5$ のW/L比を有するトランジスタ54と、 $100/3$ のW/L比を有するトランジスタ56とが選択されることになる。

【0027】制御信号S10は、図1に記載されているものと同様に、電位移動回路58によって発生される。回路58は、2つのMOS型Pチャネルパワートランジスタ60及び62と、2つのMOS型Nチャネルパワートランジスタ64及び66とを含む。高電圧に耐えることができるトランジスタが選択されることになる。例えば、 $50/18$ のW/L比を有するトランジスタ60と、 $100/18$ のW/L比を有するトランジスタ62と、 6×1 の要素セル数を有するVDMOS型トランジスタ64及び66とが選択されることになる。

【0028】トランジスタ60及び62は、それらソースにおいて電位VPPを受信する。トランジスタ64及び66は、それらソースにおいて電位GNDを受信する。トランジスタ60のドレインは、トランジスタ62の制御ゲートとトランジスタ64のドレインとに接続される。トランジスタ62のドレインは、トランジスタ60の制御ゲートとトランジスタ66のドレインとに接続される。トランジスタ62及び66のドレインは、制御信号S10を提供する。トランジスタ66は、その制御ゲートにおいて論理制御信号S7を受信する。結局、トランジスタ64は、その制御ゲートで制御信号S8を受

信する。この信号S8は、インバータ68から提供され、低電圧で供給され、入力として信号S7を受信する。S7=GNDの際に、トランジスタ66はオフになり、トランジスタ64はオンになる。従って、トランジスタ62はオンになり、トランジスタ60はオフになる。従って、S10=VPPとなる。S7=VCCの際に、トランジスタ66はオンになり、トランジスタ64はオフになる。従って、トランジスタ60はオンになり、トランジスタ62はオフになる。従って、S10=GNDになる。

【0029】更に、出力回路30は、遅延をもたらす論理回路を含む。これら遅延回路は、インバータ70、72、76、78及び82を含んでおり、これらインバータは、入力及び出力と、NAND型の2つの論理ゲート74及び80を含む。これら回路は、例えば電位VCC及びGNDによって、低電圧で供給されることを仮定する。

【0030】インバータ70は、入力として入力信号IN2を受信しており、信号IN2の反転によって論理信号S1をその出力において発生する。この信号S1は、ゲート80の第1の入力とインバータ72の入力とへ提供される。このインバータ72は、論理信号S2をその出力において発生する。この信号は、ゲート74の第1の入力とインバータ76の入力とへ提供される。インバータ76は、論理信号S3をその出力において発生する。信号S3は、論理信号S4を、その出力において発生するインバータ78の入力へ提供される。信号S4は、ゲート74の第2の入力へ提供される。ゲート74は、インバータ46及び52に提供される論理信号S5をその出力において発生する。信号S5は、更に、ゲート80の第2の入力へ提供される。このゲートは、インバータ82の入力へ提供される論理信号S6をその出力において発生する。インバータ82は、電位移動回路58へ提供される論理信号S7をその出力において発生する。

【0031】ゲート74及びインバータ76及び78によって形成された組立体は、以下で理解できるように、入力信号IN2の正パルスを遅延することを可能とする。ゲート80のインバータ72を共に有するこの組立体は、入力信号IN2の負パルスを遅延することを可能にする。

【0032】回路30の動作は、論理入力信号IN2、信号S1、信号S5、信号S2、信号S4、信号S3、信号S6、信号S7、信号S8、信号NCDE、信号S9、信号S10、信号PCDE及び出力制御信号OUT2をそれぞれ説明する図3を参照して、ここで説明されている。

【0033】最初に、S1=S5=S3=S7=VCC、PCDE=OUT2=VPP及びIN2=S2=S4=S6=S8=NCDE=S9=S10=GNDを仮

定する。言い換えれば、充電トランジスタ38はオンであり、放電トランジスタ40はオフである。従って、信号OUT2の電位は、電位VPPに実質的に等しくなり、トランジスタ38のスレッシュホールド電圧を無視する。

【0034】放電トランジスタ40を介して制御出力34の放電を制御することが所望されると仮定する。このため、入力信号IN2は高状態に位置付けられる。従って、IN2=VCCとなる。従って、信号S1は、低状態に切り替えることになる。これは、一方で信号S6の高状態に立ち上げられ、他方で信号S2の高状態に立ち上げられる。続いて、信号S3は低状態に立ち下げられ、信号S4は高状態に立ち上げられる。一度信号S4が高状態に立ち上げられ、信号S5は低状態に切り替えられる。

【0035】インバータ76及び78は、信号IN2で見せる、正の寄生パルスを遅延することを可能とする。実際、信号S2の高状態への移行がインバータ76及び78に伝達されない限り、信号S5は高状態に維持されない。最小遅延を増加するために、インバータ72の出力とゲート74の第2の入力との間に配置されたインバータの数が増加するのも好ましく、これらインバータを形成するトランジスタの大きさが変更され得る。キャパシタは、また、インバータ76及び78の間にも配置され得る。信号S9及びNCDEに対して信号IN2の正エッジの遅延は、トランジスタ42及び44と、トランジスタ38及び40との同時伝導を避けることを可能にする。トランジスタ42が信号S7によって制御された電位移動回路58によってターンオフされるまで、トランジスタ40及び44のターンオンが遅延される。

【0036】信号S5の続いて誘発された立ち下がりに加えて、信号S1の低状態への切換は、信号S6の高状態への切換を生じる。これは、信号S7の低状態への切換を生じ、続いて信号S8の高状態への立ち上がる。これは、信号S10の電位VPPへの切換を生じ、トランジスタ42をターンオフする。次に信号S9が低状態にされると仮定するならば、電位PCDEが、充電トランジスタ38のゲートのレベルで、容量性効果によって維持される。従って、トランジスタ42及び44の同時伝導が避けられる。

【0037】信号S5が低状態に切り換えるとき、トランジスタ50及び56が、ターンオフし、トランジスタ48及び54がターンオンする。トランジスタ50によってわかる容量性負荷はトランジスタ54によって耐える負荷よりも小さく、信号S9の電位は、信号NCDEの電位よりも急激に増加する。従って、充電トランジスタ38の制御ゲートは、出力34よりも急激に放電され、トランジスタ38が常に出力34の放電中にオフを維持することを保証する。トランジスタ48及び54が、実際に、インバータ46及び52の出力充電の公知

に従った大きさとなる。それらによってトランジスタ40がターンオンする際に、トランジスタ38がオフを維持し、これらトランジスタの同時伝導現象を抑制する。一度トランジスタ40がオンすると、信号OUT2の電位が、電位GNDに達するようにドロップする。

【0038】続いて、出力34の充電を制御することが所望されると仮定する。このために、入力信号IN2は、低状態に位置付けられる。従って、 $IN2 = GND$ になる。

【0039】信号S1は、高状態に立ち上げられる。これは、信号S2の低状態への切換を生じる。従って、高状態へ且つ低状態へそれぞれ切り換えると同時に、信号S3及びS4に独立して、信号S5は高状態に立ち上げられる。従って、トランジスタ48及び54がターンオフされ、トランジスタ50及び56がターンオンされる。信号NCDEの電位が信号S9の電位よりも急激にドロップするようなトランジスタ50及び56の大きさによって、トランジスタ40がトランジスタ44をターンオフする前にターンオフされる。

【0040】信号S5の立ち上がりは、信号S6の立ち下がりと同時に生じる。同じ方法で、前述したように、正パルスがインバータ76及び78で遅延され、ここで、負パルスがインバータ72及びゲート74で遅延される。この遅延は、トランジスタ38のターンオンの前に実際にオフとなる。前述したように、この遅延は、入力に位置付けられた低電圧論理回路内にインプリメントされ、パワートランジスタの同時伝導現象の発生を避けることが可能となる。

【0041】信号S6の高状態への切換は、信号S7の低状態への立ち下がり、従って信号S8の高状態への立ち上がりを生じる。従って、トランジスタ66がターンオンし、信号S10の電位がGNDに立ち下がる。従って、トランジスタ42がターンオンされる。それがオンするために、充電トランジスタ38のゲートの電位が増加する。次に、トランジスタ42及び44の任意の同時伝導を避けるために、もちろんトランジスタ44がオフとなる。このため、インバータ82及び68が、トランジスタ50によって耐える公知の負荷に従う大きさとなる。従って、トランジスタ38がターンオンし、信号OUT2の電位が増加する。このとき、トランジスタ40がオフし、トランジスタ38及び40の非同時伝導となり得る。

【0042】従って、本発明は、同時伝導問題に関して小さい大きさで且つ最適化の両方となる出力回路を有することが可能となる。

【0043】理解されるように、出力34の放電が制御されるならば、放電トランジスタ40がターンオンする前に、充電トランジスタ38がオフになるように、回路が最適化される。このために、信号OUT2の電位ドロップよりも早い信号PCDEの電位ドロップが保証され

なければならない。実際に、反対の場合、特に、出力34に係合する容量性負荷が小さいならば、正ゲートドレイン電位差が充電トランジスタ38のレベルで見られるのも好ましい。この場合、トランジスタ38がNチャネルトランジスタであるために、トランジスタ38は、ターンオンにもどされ、同時伝導現象となる。この現象の発生を避けるために、従って、トランジスタ42は、トランジスタ40が出力34を放電するよりも早く、充電トランジスタ38の制御ゲートを放電するように制御される。

【0044】注目することとして、 C_{gd} はトランジスタのゲートドレインキャパシタンスであり、 C_{sd} はそのソースドレインキャパシタンスであり、 C_g はゲートにおける等価キャパシタンスであり、 C_{sub} はその基板キャパシタンスであり、 C_s は出力34に接続されたキャパシタンス負荷であり、 $C(34)$ は出力34の等価キャパシタンスであり、 V_t はNチャネルトランジスタのスレッシュホールド電圧である。

【0045】出力の充電から放電への移行において、トランジスタ54及び48によって出力された電流が、トランジスタ40及び44のゲートドレインキャパシタンスを充電する。信号OUT2の電位の変化 dV/dt が大きいほど、これら電流が大きくなる。これら電流は、トランジスタ40及び44のゲートソース電位差を減少する。トランジスタ48のオン状態抵抗 R_{on} を減少することによって、高ゲートソース電位差がトランジスタ44に対して印加される。それらによって、充電トランジスタ38のゲート電位の立ち下がり、そのソースに対して加速される。

【0046】 $C_g(38) = C_{gd}(38) + C_{sd}(42) + C_{sub}(44)$ 及び $C(34) = C_s + C_{sd}(38) + C_{sub}(40)$

【0047】更に、 $V_{gs}(44) = V_{CC} - R_{on}(48) \times C_{gd}(44) \times dV/dt(PCDE)$ 及び $V_{gs}(40) = V_{CC} - R_{on}(54) \times C_{gd}(40) \times dV/dt(OUT2)$

【0048】出力34の放電から充電への移行に関して、以下の状態が満足されることが分かる。

【0049】 $R_{on}(50) \times C_{gd}(44) \times dV/dt(PCDE) < V_t(44)$ 及び $R_{on}(56) \times C_{gd}(40) \times dV/dt(OUT2) < V_t(40)$

【0050】効果的に、出力34の放電によってひっくり返された出力回路30の論理回路を避けるために、トランジスタ40のソースは、この出力34によって提供された放電電流を下げるためにアナロググランドに接続されており、他方のグランドは出力回路の他の部品に対して用いられることになる。

【0051】出力回路30において、トランジスタ38の出力34と制御ゲートとの間に接続されたツェナード

13

イオード 84 によって表されたような、セキュリティデバイスが提供される。このツェナーダイオードは、トランジスタ 38 の制御ゲートとソースとの間に生ずる高すぎる電位差を避ける。このダイオードの存在は、トランジスタ 44 のソースに向かって、出力 34 の起こりうる放電パスを生成する。これは欠点ではなく、トランジスタ 44 及び 40 の制御がインバータ 46 及び 52 である同一タイプのデバイスによって実現されると同じである。例えば製造方法又は動作温度の変化によってこれらデバイスの特徴が変化するならば、これら変化はインバータ 46 及び 52 の両方に対して同じ特性となる。それゆえ、出力回路の動作におけるこれらインバータの特性の変化の影響がかなり限定されることになる。従って、トランジスタ 38 の保護と、回路の本来の動作も同時に得ることは容易である。これは、出力の放電電流の最大部分が、この機能を有する放電トランジスタ 40 によって落とされる (is sunk) ように、インバータ 46 及び 52 の大きさを選択することによる。

【0052】もちろん、本発明は、当業者によれば容易にできるであろう種々の変更、修正及び改良を有するものである。従って、論理信号の極性が修正でき、及び／又はこれら信号が異なる論理ゲートで発生できる。例えば制御信号の極性を反転し、且つ NAND ゲートの代わりに NOR 型のゲートを用いるように選択することができる。

【0053】このような変更、修正及び改良は、この開示の部分でしようとするものであり、本発明の技術的思想及び見地の中でしようとするものである。従って、前述の記載は、例としてのみであり、限定しようとするも

14

のではない。本発明は、特許請求の範囲及びその等価物に規定されるものにのみ限定される。

【図面の簡単な説明】

【図 1】 従来技術による出力回路である。

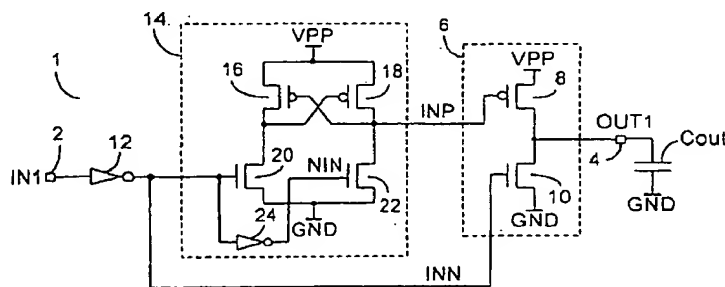
【図 2】 本発明の実施形態による出力回路である。

【図 3】 図 2 に表された本発明の一実施形態による出力回路によって生成され又は出力された信号及び電位のタイミング図である。

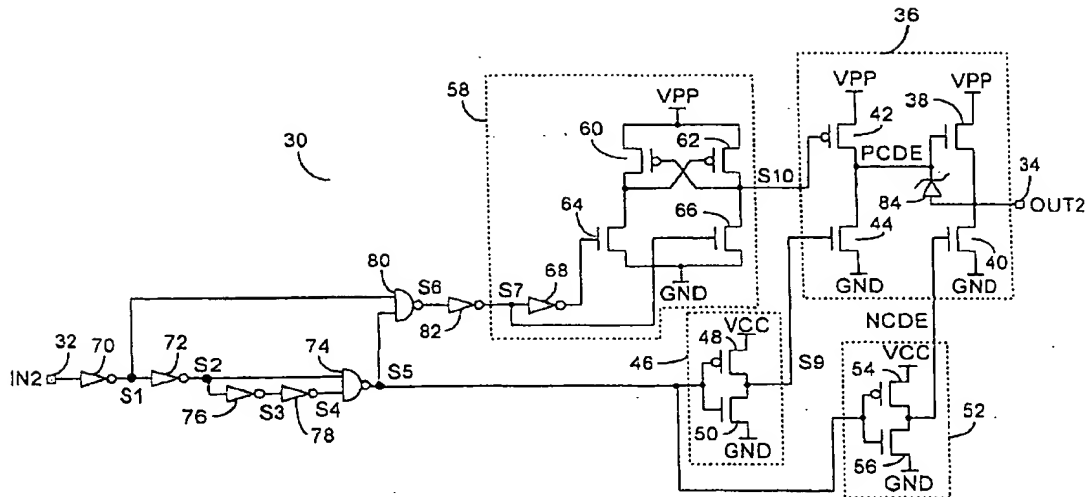
【符号の説明】

- 1、30、36 出力回路
- 2、32 制御入力
- 4、34 出力
- 6 パワートランジスタの対
- 8 PチャネルHVMOS型トランジスタ、充電トランジスタ
- 10 NチャネルHVMOS型トランジスタ、放電トランジスタ
- 14、58 電位移動回路
- 16、18、42、48、54、60、62 PチャネルMOS型パワートランジスタ
- 20、22、44、50、56 NチャネルMOS型パワートランジスタ
- 24 インバータ
- 38 PチャネルVDMOS型トランジスタ、充電トランジスタ
- 40、64、66 NチャネルVDMOS型トランジスタ、放電トランジスタ
- 52、70、72、76、78、82 インバータ
- 74、80 NAND型論理ゲート

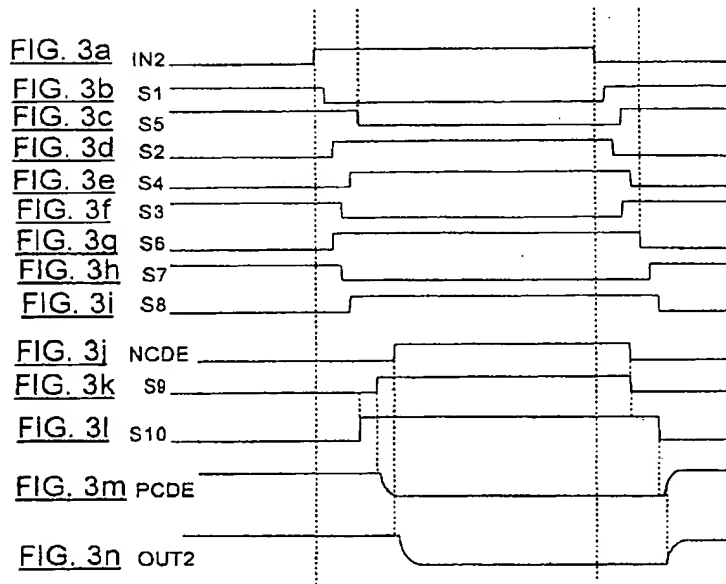
【図 1】



【図2】



【図3】



フロントページの続き

(72)発明者 セリーヌ ラルドー
 フランス国、 38100 グルノーブル、
 リュ アルフレッド ドゥ ヴィニー、
 50番地